



(19)

(11) Publication number:

08204147 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07011735

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 21/3065
H01L 21/316 H01L 27/04 H01L 21/822

(22) Application date: 27.01.95

(30) Priority:

(43) Date of application
publication: 09.08.96(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: SAWADA KAZUYUKI
UNO AKIHITO
FUKUMOTO MASANORI

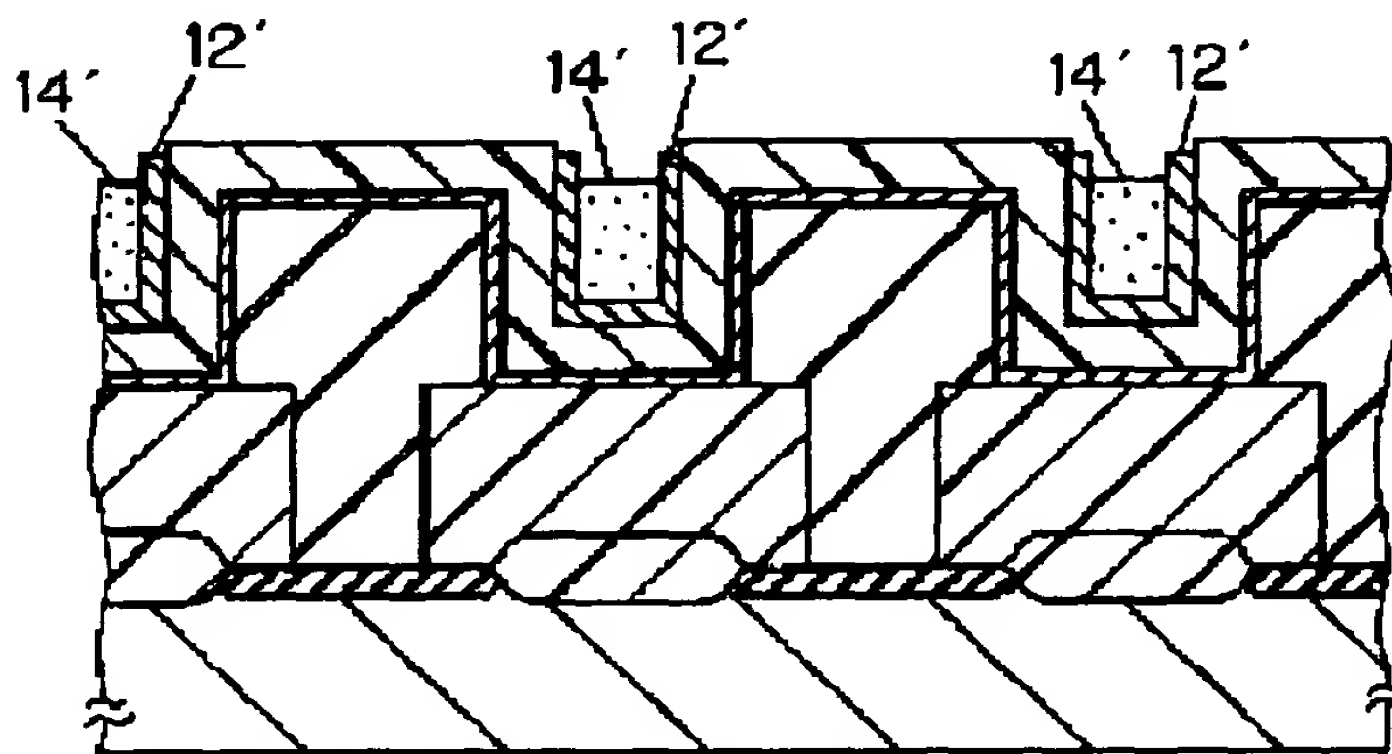
(74) Representative:

(54) SEMICONDUCTOR
DEVICE AND
MANUFACTURING METHOD
THEREOF

(57) Abstract:

PURPOSE: To separate a p plate electrode required in order to increase the charge amount accumulated in a storage node by boosting the plate electrode in a DRAM.

CONSTITUTION: A phosphorus doped polycrystalline Si film about 150nm thick is deposited on a substrate whereon a phosphorus doped polycrystalline Si film pattern and an ONO film are formed and after depositing an Si₃N₄ film, coated with a resist film to be etched away so as to leave a resist film 14' between the phosphorus doped polycrystalline Si film patterns only. In such a constitution, the Si₃N₄ film is etched away using the resist film pattern 14' as a mask, as well as the surface of the phosphorus doped polycrystalline Si film in depth of exceeding 20nm is oxidized using the Si₃N₄ film 12 as a mask to form an SiO₂ film and finally to be etched away meeting the etching requirement for the specific etching rate exceeding 10 and using the SiO₂ film as a mask.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204147

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁶

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
21/3065

7735-4M

H 0 1 L 27/ 10
21/ 302

6 2 1 B
J

審査請求 未請求 請求項の数9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平7-11735

(22) 出願日 平成7年(1995)1月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 澤田 和幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 宇野 彰人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 福本 正紀

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

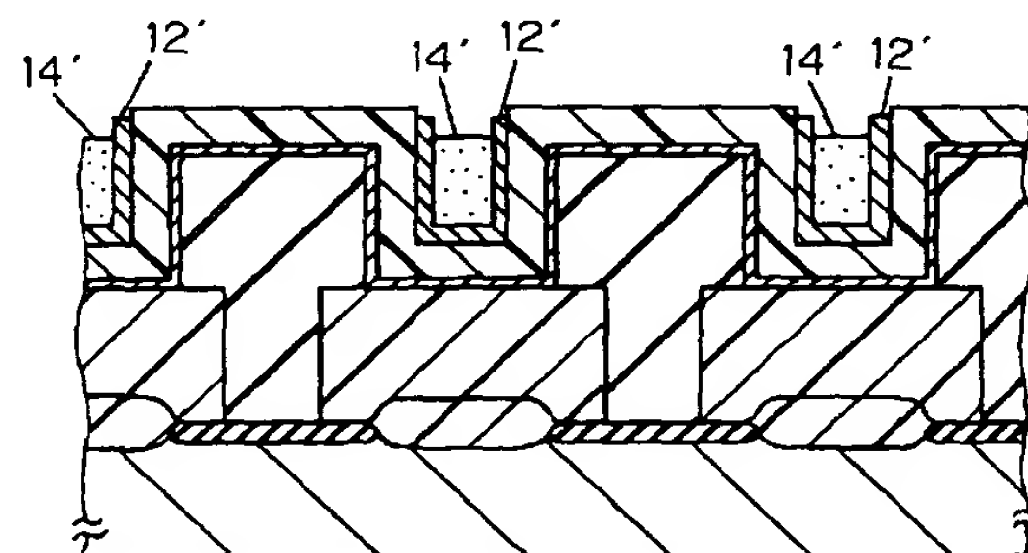
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 DRAMにおいてプレート電極を昇圧してストレージノードに蓄積される電荷量を増加させる際に必要となるプレート電極をビット線方向に分割する。

【構成】 リンドープ多結晶Si膜パターン6'とON
O膜8の形成された基板上1にリンドープ多結晶Si膜
10を150nm程度堆積し、Si₃N₄膜12を堆積
した後、レジスト膜14を塗布し、レジスト膜14をエ
ッチングしてリンドープ多結晶Si膜パターン6'の
間にのみレジスト膜14'を残す。そしてレジスト膜パ
ターン14'をマスクにしてSi₃N₄膜12をエッチン
グし、Si₃N₄膜12'をマスクにしてリンドープ多
結晶Si膜10表面を20nm以上酸化してSiO₂膜
16を形成し、最後にSiO₂膜16をマスクにしてエ
ッチングレート比が10以上のエッチング条件でエッチ
ングする。



1

【特許請求の範囲】

【請求項1】第1の半導体膜からなるストレージノード、前記ストレージノード上に形成された誘電体膜、及び第2の半導体膜からなるプレート電極を有する電荷蓄積部を有する半導体装置の製造方法であって、前記第2の半導体膜形成後に酸化防止膜を全面に形成する工程と、前記第1の半導体膜からなる複数のストレージノードの配列の内の同一のビット線に接続されるストレージノードが一直線上に並び、かつそのビット線方向の間隔は前記第2の半導体膜の膜厚の2倍より狭く前記第2の半導体膜を形成した際に前記第2の半導体膜で埋まるように設定され、前記ビット線と直行する間隔は前記第2の半導体膜の膜厚の2倍より広く設定されており、このストレージノードの配列のビット線と直行する間隔にレジスト膜を形成する工程と、前記レジスト膜をマスクにして前記酸化防止膜をエッチングして酸化防止膜パターンを形成する工程と、前記レジスト膜を除去し、前記酸化防止膜パターンをマスクにして前記第2の半導体膜表面を選択的に酸化して酸化膜を形成する工程と、前記酸化防止膜パターンを除去する工程と、前記酸化膜をマスクにして前記第2の半導体膜をエッチングし前記第1の半導体膜パターンを覆う第2の半導体膜パターンを形成する工程とを有する半導体装置の製造方法。

【請求項2】第1の半導体膜パターンの間隔にレジスト膜を形成する工程において、全面にレジスト膜を形成し平坦化した後、前記第1の半導体膜パターン上の前記第2の半導体膜表面領域が露出するまでレジスト膜をエッチングして形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】第1の半導体膜からなるストレージノード、前記ストレージノード上に形成された誘電体膜、及び第2の半導体膜からなるプレート電極を有する電荷蓄積部を有する半導体装置の製造方法であって、前記第2の半導体膜形成後に酸化防止膜を全面に形成する工程と、前記第1の半導体膜からなる複数のストレージノードの配列の内の同一のビット線に接続されるストレージノードが一直線上に並び、かつそのビット線方向の間隔は前記第2の半導体膜の膜厚の2倍より狭く前記第2の半導体膜を形成した際に前記第2の半導体膜で埋まるように設定され、前記ビット線と直行する間隔は前記第2の半導体膜の膜厚の2倍より広く設定されており、このストレージノードの配列のビット線と直行する間隔に第1の酸化膜を形成する工程と、前記第1の酸化膜をマスクにして前記酸化防止膜をエッチングして酸化防止膜パターンを形成する工程と、前記第1の酸化膜を除去する工程と、前記酸化防止膜パターンをマスクにして前記第2の半導体膜表面を選択的に酸化して第2の酸化膜を形成する工程と、前記酸化防止膜パターンを除去する工程と、前記第2の酸化膜をマスクにして前記第2の半導体膜をエッチングし前記第1の半導体膜パターンを覆う第

2

2の半導体膜パターンを形成する工程とを有する半導体装置の製造方法。

【請求項4】第1の半導体膜パターンの間隔に第1の酸化膜を形成する工程において、全面にSOG膜を塗布して第1の半導体膜パターンの間隔に流し込んだ後熱処理によって硬化し、次に前記第1の半導体膜パターン上の前記第2の半導体膜表面領域が露出するまでSOG膜をエッチングして形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】第1の半導体膜からなるストレージノード、前記ストレージノード上に形成された誘電体膜、及び第2の半導体膜からなるプレート電極を有する電荷蓄積部を有する半導体装置の製造方法であって、前記第1の半導体膜からなる複数のストレージノードの配列の内、同一のビット線に接続されるストレージノードが一直線上に並び、かつそのビット線方向の間隔は第2の半導体膜の膜厚の2倍より狭くて第2の半導体膜を形成した際に第2の半導体膜で埋まるように設定され、前記ビット線と直行する間隔は第2の半導体膜の膜厚の2倍より広く設定されており、前記第2の半導体膜形成後前記ストレージノードの配列により形成されたビット線に直行する方向の凹凸の凸部上に形成される膜厚が凹部内に形成される膜厚の2倍以上になるように酸化膜を形成する工程と、前記酸化膜をエッチングして前記凸部上の前記酸化膜を残し、かつ前記凹部内の酸化膜を除去して酸化膜パターンを形成する工程と、前記酸化膜パターンをマスクにして前記第2の半導体膜をエッチングし前記第1の半導体膜パターンを覆う第2の半導体膜パターンを形成する工程とを有する半導体装置の製造方法。

【請求項6】第1の半導体膜パターン列の端において、第2の半導体膜パターンを形成するエッチング工程の前にレジスト膜パターンを形成し、前記レジスト膜パターンをマスクにして第2の半導体膜をエッチングして第2の半導体膜パターンを形成し、前記第2の半導体膜パターン上の層間絶縁膜にコンタクト孔を形成し、第2の半導体膜パターンを上層の配線と接続することを特徴とする請求項1～5いずれかに記載の半導体装置の製造方法。

【請求項7】第1の半導体膜からなるストレージノード、前記ストレージノード上に形成された誘電体膜、及び第2の半導体膜からなるプレート電極を有する電荷蓄積部を有する半導体装置の製造方法であって、前記第2の半導体膜形成後第1の薄膜を全面に形成する工程と、前記第1の半導体膜からなる複数のストレージノードの配列のビット線方向の一行ないし二行を覆うようにレジスト膜パターンを形成する工程と、前記レジスト膜パターンをマスクにして前記薄膜をエッチングしレジスト膜パターンを除去する工程と、前記レジスト膜パターンの最小間隔の半分以下の膜厚の第2の薄膜を形成する工程と、前記第2の薄膜をエッチングし前記第1の薄膜の側

壁に第2の薄膜を残す工程と、前記第1及び第2の薄膜をマスクにして前記第2の半導体膜をエッチングし前記第1の半導体膜パターンを覆う第2の半導体膜パターンを形成する工程とを有する半導体装置の製造方法。

【請求項8】スイッチングトランジスタを介して第1のビット線に接続され対を成す第2のビット線上に折れ曲がった鍵型形状を有する第1のストレージノードと、スイッチングトランジスタを介して第2のビット線に接続され前記ストレージノードと同じ形状でビット線に対して逆向きで前記第1のストレージノードと向かい合った第2のストレージノードと、前記第1及び第2のストレージノード上に形成された誘電体膜と、一組のビット線対にスイッチングトランジスタを介して接続された2列のストレージノードを覆うように形成されたプレート電極を備え、プレート電極間の間隔にストレージノードの最小間隔以上の部分があることを特徴とする半導体装置。

【請求項9】プレート電極間の間隔がフォトリソグラフィの解像限界以下と以上の2種類の値を有し、前記2種類の値の間隔が交互にくり返されることを特徴とする請求項8記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は超LSIなどの微細化及び動作電圧の低電圧化に際し、高密度のDRAMを低電圧で動作させるのに必要な電荷容量を確保するのに有効なメモリ半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来よりDRAMを低電圧動作させる為にメモリーセルのプレート電極の電圧を昇圧する方法が提案されているが、これを効果的に実現するためには、プレート電極をビット線方向に沿って分割することが必要になってくる。

【0003】上記した従来のDRAMのメモリーセルのプレート電極を分割する方法としては、例えば「アイ・イー・アイ・シー・イー トランザクションズ オン エレクトロニクス」 Vol. E75-C, No. 4, 1992年4月, p. 495-p. 500 [(IEICE Transactions on Electronics) Vol. E75-C, No. 4, APRIL 1992, p. 495-p. 500] に示されている。

【0004】図24は上記の従来のプレート電極を分割する方法を示す平面図であり、以下のようにプレート電極のパターンを形成している。

【0005】まず、図24に示されるストレージノード56はビット線54方向に細長い形状を有し、プレート電極58は一組のビット線54にスイッチングトランジスタを介して接続されるストレージノード56を覆うよ

うに形成されている。ここでいう一組のビット線とは、データを読み出すビット線に対し隣のビット線はある特定の電位に固定されており、この電位をリファレンスとしてビット線間の電位差を増幅してメモリーセルに蓄えられた情報が"1"か"0"かを判断するように構成された、隣合う一組のビット線のことを示している。

【0006】そして上記の半導体装置の製造方法としては、このプレート電極58のパターンに対応するレジスト膜パターンをフォトリソグラフィ工程で形成し、次に、このレジストパターンをマスクにしてプレート電極としての多結晶Si膜をエッチングしてプレート電極のパターンを形成する。

【0007】

【発明が解決しようとする課題】しかしながら上記のようなフォトリソグラフィ工程によりプレート電極58のパターンを形成する方法においては、ストレージノード56の間隔がビット線54のピッチに依存している為、DRAMの集積化が進みストレージノード56の間隔が微細になってくると、その微細な間隔の中でプレート電極58を分割することはフォトリソグラフィの解像能力よりも解像しなければならないパターンの間隔の方が狭くなってパターン形成が不可能になるという問題点を有していた。すなわち、例えば16MDRAMや64MDRAMレベルのメモリーセルサイズになってくると、ストレージノードの間隔が0.4 μ m程度になるので、ストレージノードとプレート電極の重ね合わせ余裕を0.15 μ mとするとプレート電極の間隔は0.1 μ m程度になってしまい、フォトリソグラフィでは解像困難である。

【0008】また、図25に工程断面図(図24におけるY-Y'方向の断面)で例を示すように、プレート電極のレジスト膜パターン59とストレージノードとなるリンドープ多結晶Si膜パターン56の重なりがフォトリソグラフィの重ね合わせ精度に比べて不十分であった場合には、ストレージノード56とプレート電極のレジストパターン59の間にマスク合わせズレが0.15 μ m程度生じてレジストパターン59の端がストレージノード56上にかかってしまうと、プレート電極となるリンドープ多結晶Si膜58をエッチングする際に、レジスト膜パターン59の重なりが不十分なところのリンドープ多結晶Si膜58がエッチングされてしまい、蓄積容量の低下やONO膜57のリーク電流の増加に伴う歩留まり低下や信頼性不良の問題が生じる。

【0009】本発明は上記問題点に鑑み、上記問題点を解決し、低電圧動作が可能でしかも高集積化を可能とする容量素子を有するメモリ半導体装置及びその製造方法を提供するものである。

【0010】

【課題を解決するための手段】上記問題点を解決するた

5

めに本発明の第1の手段は、メモリー半導体装置の製造方法に関するもので、プレート電極となる第2の半導体膜上に、自己整合的に少なくとも下層の第1の半導体膜からなるストレージノードパターンを覆うように酸化膜パターンを形成し、それをマスクとしてプレート電極を形成するため第2の半導体膜のエッチングを行うことを特徴とし、その具体的な製造工程は、ビット線方向の間隔よりもワード線方向の方が広がるストレージノードとなる第1の半導体膜パターンを形成する工程と、第1の半導体膜パターン上に誘電体膜を形成する工程と、プレート電極となる第2の半導体膜をストレージノードのビット線方向の間隔が埋まりワード線方向の間隔が埋まらない膜厚で形成する工程と、第2の半導体膜上に酸化防止膜を形成し、さらにレジスト膜を平坦に塗布した後ストレージノード上の第2の半導体膜表面領域が露出するまでレジスト膜をエッチングしてワード線方向の埋まらない間隔にレジスト膜を残す工程と、このレジスト膜をマスクにしてストレージノード上の酸化防止膜をエッチングしてワード線方向の埋まらない間隔に酸化防止膜を残す工程と、この酸化防止膜をマスクにしてストレージノード上の第2の半導体膜表面を酸化して選択的に酸化膜を形成する工程と、酸化防止膜を除去する工程と、酸化膜をマスクにして第2の半導体膜をエッチングしストレージノードを覆うプレート電極を形成する工程とを備えたものである。

【0011】さらに本発明の第2の手段はメモリー半導体装置に関しレイアウト上の手段であり、一組のビット線対にスイッチングトランジスタを介してつながったストレージノードを覆うように分割されたプレート電極のパターンを形成する際に、ストレージノードの形状を鍵型にして向かい合わせることによってプレート電極の間隔をフォトリソグラフィーの解像能力で開口可能なサイズにする領域を確保し、プレート電極がフォトリソグラフィーで開口可能なサイズと不可能なサイズの繰り返された間隔を有することを特徴とし、その構成は、スイッチングトランジスタを介して一組の一方のビット線に接続され対を成す他のビット線の上に折れ曲がった鍵型の形状を有するストレージノードと、スイッチングトランジスタを介して他方のビット線に接続されストレージノードと同じ鍵型であるがビット線に対して逆向きでストレージノードと向かい合ったストレージノードと、一組のビット線対にスイッチングトランジスタを介して接続されたストレージノードの列のみを覆うように形成されたプレート電極を備え、ストレージノードが隣のビット線上に折れ曲がった部分においてプレート電極どうしの間隔がストレージノードの最小間隔以上であるものである。

【0012】

【作用】本発明の第1の手段であるメモリー半導体装置の製造方法は上記構成により、ストレージノードがビッ

6

ト線方向の間隔に対してワード線方向が広い間隔を有し、プレート電極となる第2の半導体膜の膜厚がストレージノードのビット線方向の間隔が埋まりワード線方向の間隔が埋まらない膜厚であることによって、レジスト膜を全面に塗布した後ストレージノード上の第2の半導体膜表面領域が露出するまでエッチングしたときにストレージノードのワード線方向間隔にのみレジスト膜が残る。そしてこのストレージノードの間隔に残ったレジスト膜はストレージノード上の酸化防止膜をエッチングする時のエッチングマスクとして作用し、これによって形成された酸化防止膜パターンはストレージノード上の第2の半導体膜表面を酸化して酸化膜を形成する為の酸化防止膜として作用し、これらによってストレージノードの位置ときっちり合って自己整合的に酸化膜が形成されるのである。そしてこの酸化膜は第2の半導体膜をエッチングしてストレージノードを覆うプレート電極となる第2の半導体膜パターンを形成する為のエッチングマスクとして作用する。このように第2の半導体膜のエッチングマスクとしての酸化膜が、フォトリソグラフィーによるマスク合わせではなくてストレージノードから決まる位置に自己整合的に形成される。すなわち、フォトリソグラフィーの解像能力やマスク合わせ精度に関係なく微細な間隔のストレージノードに対してその列を覆うように分割されたプレート電極となる第2の半導体膜パターンを形成することができ、設計ルールを小さくすることができる。

【0013】さらに本発明の第2の手段であるメモリー半導体装置は上記構成により、ストレージノードを隣のビット上に折れ曲がった鍵型の形状にして一組のビット線対にスイッチングトランジスタを介して接続されたストレージノードどうしを向かい合わせることによって、従来の長方形のストレージノードの一部分を折れ曲がった部分に移動したことになり従来と同程度の表面積と間隔を確保することができ、かつストレージノードの間隔が従来より広い部分をストレージノードが隣のビット線上に折れ曲がった所につくることができ、その位置には周期性がある。そして一組のビット線対にスイッチングトランジスタを介して接続されたストレージノードの2列のみを覆うようにプレート電極を形成したときに、このストレージノードの間隔が広い部分にプレート電極の間隔がフォトリソグラフィーの解像能力で開口可能なサイズとなる領域を部分的に確保し、解像限界以下の間隔と解像限界以上の間隔がくり返されることによって、フォトリソグラフィーで解像限界以下の間隔の部分が、隣にある限界以上の広い間隔の部分からの光の回り込みの為に解像することができるようになる。すなわち、プレート電極どうしの間隔を従来形成可能な最小寸法以下にしたレジスト膜パターンを形成することができ、設計ルールを小さくすることができる。

【0014】

【実施例】

(実施例1) 本発明のメモリー半導体装置の製造方法の実施例を具体例に基づいて説明する。

【0015】図1～図8は本発明第1の実施例における製造工程であり、DRAMのスタック型メモリーセル構造の形成工程を示す。ここで図1は図9に示す平面図のX-X'の切断面の断面図であり、Y-Y'の断面は図2のようになるが、以後の製造工程の説明はY-Y'の断面をもとにして行う。なお、図9は従来からあるスタック型DRAMのメモリーセルのレイアウト図である。

【0016】まず、図1に示すP型Si基板1にMOS構造のスイッチングトランジスタが形成され、そしてソース・ドレインの片側の拡散層2に接続してビット線(図示せず)と層間絶縁膜4の形成された基板上に、他方の拡散層2'に接続するようにリンドープ多結晶Si膜6を形成し、レジスト膜パターン(図示せず)をマスクにしてこのリンドープ多結晶Si膜をエッチングしてレジスト膜を除去すると、ストレージノードとなるリンドープ多結晶Si膜パターン6'が得られる。

【0017】しかる後に、図3に示すように、Si₃N₄膜を堆積した後表面を酸化して誘電体膜としてのON₂O膜8が得られる。そしてその上にプレート電極となる150nm程度の厚さのリンドープ多結晶Si膜10を堆積する。このとき、X-X'方向の断面は、図4に示すように、リンドープ多結晶Si膜パターン6'の間隔がリンドープ多結晶Si膜10で埋まるように、ストレージノードのX方向の間隔がリンドープ多結晶Si膜10の膜厚の2倍以下、すなわちここでは0.3μm以下に設定されていることが必要である。またストレージノードのY方向の間隔は0.4μm程度以上に設定することによって、ストレージノードのY方向の間隔のみに凹部が形成される。このことが本発明の重要な点の一つであって、このレイアウトによって初めて、ビット線方向に自己整合的に分割されたプレート電極を以下の工程によって形成することができるのである。

【0018】次に、Si₃N₄膜12をプレート電極10の上に50nm程度堆積した後、図5に示すように、1.5μm程度の厚さのレジスト膜14を塗布して表面を平坦化する。

【0019】次に、レジスト膜を1.5μm以上エッチングして、図6に示すように、リンドープ多結晶Si膜パターン6'の間にのみレジスト膜14'を残す。そしてこのレジスト膜14'をマスクにしてSi₃N₄膜12をエッチングして、レジスト膜14'を除去する。このときリンドープ多結晶Si膜パターン6'の上のSi₃N₄膜12がエッチングされる。

【0020】次に、図7に示すように、Si₃N₄膜12'をマスクにしてリンドープ多結晶Si膜10表面を20nm以上酸化してSiO₂膜16を形成し、高温のリン酸によってSi₃N₄膜12'を除去する。

【0021】そして最後に、SiO₂膜16をマスクにしてリンドープ多結晶Si膜10を多結晶SiとSiO₂膜のエッチングレート比が10以上のエッチング条件でエッチングして、図8に示すように、ビット線方向にプレート電極が分割された構造を有するメモリーセルが形成される。このとき、メモリーセルアレイの端においては、図10に平面図を示すように、プレート電極に電位を与える上層の配線と接続する部分をプレート電極に確保しなければならないからレジストパターン18を形成しておいて、このレジストパターン18をマスクにしてリンドープ多結晶Si膜10をエッチングする。ここで、メモリーセルアレイ内においてSiO₂膜16が、フォトリソグラフィではなくてストレージノードとなるリンドープ多結晶Si膜パターン6'から自己整合的に形成されていることが本発明の重要な点の一つであって、これによってフォトリソグラフィのレジストパターン解像能力に関係なく微細な間隔のストレージノードパターンに対してプレート電極パターンを自己整合的に形成することができる、すなわち0.1μm以下の間隔で分割されたプレート電極パターンを形成することが可能になるので、より集積度の高い素子に対してプレート電極をビット線方向に分割した構造が得られる。

【0022】以上述べてきた発明の要点を実現する方法は他にもあり、以下に示す第2の実施例や第3の実施例の様にしても可能である。

【0023】(実施例2) 図11～図14は本発明第2の実施例における製造工程であり、DRAMのスタック型メモリーセル構造の形成工程を示す。ここで図11～図14は図9に示す平面図のY-Y'の切断面の断面図であり、ストレージノード6'のX方向の間隔は0.3μm以下でY方向の間隔は0.4μm程度以上に設定されている。

【0024】まず、第1の実施例と同様の方法によってプレート電極となるリンドープ多結晶Si膜10まで形成された基板上にSi₃N₄膜12を50nm程度堆積した後、図11に示すように、300nm程度のスピノ・オン・グラス(SOG)膜15を塗布して約400℃の温度で熱処理して硬化する。このときSOG膜15はストレージノードとなるリンドープ多結晶Si膜パターン6'の間隔に流れこみ、この間隔の中に厚く形成され、リンドープ多結晶Si膜パターン6'の上には薄い膜が残るだけである。

【0025】次に、リンドープ多結晶Si膜パターン6'の上に残った薄いSOG膜15をエッチングして、図12に示すように、リンドープ多結晶Si膜パターン6'の間にのみSOG膜15'を残す。ここで薄いSOG膜をエッチングするだけでよいので、第1の実施例の様に厚いレジスト膜をエッチングする場合に比べエッチングの制御性がよくなる。そしてこのリンドープ多結晶Si膜パターン6'の間に残ったSOG膜15'をマス

9

クにしてリンドープ多結晶Si膜パターン6'の上のSi₃N₄膜12をエッチングして、希フッ酸によってSiO₂膜15'を除去する。

【0026】次に、図13に示すように、Si₃N₄膜12'をマスクにしてリンドープ多結晶Si膜10表面を20nm以上酸化してSiO₂膜16を形成し、高温のリン酸によってSi₃N₄膜12'を除去する。

【0027】そして最後に、SiO₂膜16をマスクにしてリンドープ多結晶Si膜10を多結晶SiとSiO₂膜のエッチングレート比が10以上のエッチング条件でエッチングして、図14に示すように、ビット線方向にプレート電極が分割された構造を有するメモリーセルが形成される。このとき、メモリーセルアレイの端においては、第1の実施例と同様に図10に平面図を示すように、上層の配線とプレート電極を接続する部分を確保するようにレジストパターン18を形成しておいて、このレジストパターン18をマスクにしてリンドープ多結晶Si膜10をエッチングする。ここで、メモリーセルアレイ内のリンドープ多結晶Si膜10（プレート電極）上のSiO₂膜16が、フォトリソグラフィではなくてストレージノードとしてのリンドープ多結晶Si膜パターン6'から自己整合的に形成されているので、第1の実施例と同様により微細な間隔のストレージノードパターンに対してビット線方向に分割された構造のプレート電極パターンを自己整合的に形成することができる。

【0028】（実施例3）図15～図17は本発明第3の実施例の製造工程であり、DRAMのスタック型メモリーセル構造の形成工程を示す。ここで図15～図17は図9に示す平面図のY-Y'の切断面の断面図であり、ストレージノード6'のX方向の間隔は0.3μm以下でY方向の間隔は0.4μm程度以上に設定されている。

【0029】まず、第1の実施例と同様の方法によってプレート電極となるリンドープ多結晶Si膜10まで形成された基板上に、図15に示すように、常圧CVD法によるSiH₄とO₂の反応によってSiO₂膜17を100nm程度堆積する。このとき、常圧CVD法によるSiH₄とO₂の反応によって形成されるSiO₂膜17は段差被覆性が悪いので、ストレージノードとなるリンドープ多結晶Si膜パターン6'の上には100nm程度堆積されるが、その間隔には50nm以下の膜厚しか堆積されない。

【0030】そして次に、SiO₂膜17を50nm程度エッチングすると、前述したようにその段差被覆性の為にSiO₂膜17に膜厚差があるので、図16に示すように、リンドープ多結晶Si膜パターン6'上のSiO₂膜17'が50nm程度残り、リンドープ多結晶Si膜パターン6'の間のSiO₂膜17がエッチングされてなくなる。

10

【0031】そして最後に、残ったSiO₂膜17'をマスクにしてリンドープ多結晶Si膜10を多結晶SiとSiO₂膜のエッチングレート比が10以上のエッチング条件でエッチングして、図17に示すように、ビット線方向にプレート電極が分割された構造を有するメモリーセルが形成される。このとき、メモリーセルアレイの端においては、第1の実施例と同様に図10に平面図を示すように、上層の配線とプレート電極を接続する部分を確保するようにレジストパターン18を形成しておいて、このレジストパターン18をマスクにしてリンドープ多結晶Si膜10をエッチングする。このようにこの方法によれば、メモリーセルアレイ内のリンドープ多結晶Si膜10のエッチングマスクとなるSiO₂膜パターン17'を、SiO₂膜の堆積工程とエッチング工程だけで形成できるので、製造工程の短縮化が図られる。さらに、第1の実施例と同様に、メモリーセルアレイ内のリンドープ多結晶Si膜10（プレート電極）上のSiO₂膜17'が、フォトリソグラフィではなくてストレージノードとしてのリンドープ多結晶Si膜パターン6'から自己整合的に形成されているので、より微細な間隔のストレージノードパターンに対してビット線方向に分割された構造のプレート電極パターンを自己整合的に形成することができる。

【0032】（実施例4）図18は本発明によるメモリー半導体装置の実施例で、スタック型の容量素子を有するDRAMのメモリーセルの平面図を示す。

【0033】図18に示すメモリーセルは、トランジスタの活性領域となる凸型の島状領域22と、その上を通る合計4本のトランジスタのゲート配線（ワード線）24と、このゲート配線24の垂直方向に通る一組の対を構成する2本のビット線26と、ビット線26と活性領域22を接続するコンタクトホール28（凸型の活性領域1つに対して1つ）と、コンタクト28とはゲート配線24を挟んで位置しストレージノードと活性領域22を接続するコンタクトホール30（活性領域1つに対して2つ）と、隣のビット線上に折れ曲がった鍵型の形状を有したストレージノード32と、注目している一組のビット線（ビット線とダミービット線）にトランジスタを介してつながるストレージノードの列のみを覆うプレート電極34とから構成されており、鍵型形状のストレージノード32は一組のビット線につながるストレージノード32どうしが互いに向かい合うように位置し、すなわちビット線ごとにストレージノード32が逆方向に折れ曲がった鍵型形状をしている。ここで、ストレージノード32が鍵型の形状を有することによって、ストレージノード32が隣のビット線26上に張り出すスペースを確保するとともにストレージノード32の表面積が減少するのを防いでいる。つまり、従来の長方形のストレージノードの一部分を切り取って鍵型の折れ曲がった部分に移動したようになるので、従来の長方形の場合と

同程度の表面積が得られるのである。

【0034】そしてストレージノード32が隣のビット線26上に折れ曲がった形状をしていることによってまた、その折れ曲がっている部分でストレージノードの間隔を最小間隔より広くすることができ、この部分のプレート電極34を分割する間隔をフォトリソグラフィの解像限界以上にすることができる。そしてストレージノードの間隔が最小間隔の部分のプレート電極の間隔はフォトリソグラフィの解像限界以下になってしまうが、その隣に上記の間隔の広い部分があるのでフォトリソグラフィでのパターンニングが可能となる。すなわち、図18に示すaの部分ではストレージノード32の間隔は最小間隔でありその上のプレート電極34の間隔は例えば0.3 μ m程度でフォトリソグラフィの解像限界以下であるが、それに対しbの部分(ストレージノードが鍵型に折れ曲がった先のストレージノードの間隔)ではストレージノード32の間隔が広くできるのでプレート電極34の間隔を例えば0.5 μ m程度とフォトリソグラフィの解像限界以上にすることができる。そしてプレート電極34の間隔が0.3 μ mの部分と0.5 μ m部分が繰り返されることによって、0.3 μ mの間隔だけではフォトリソグラフィで解像できない場合でも隣の0.5 μ mの間隔の部分からの光の回り込みで0.3 μ mの間隔を解像することが可能になるのである。そしてこのようにフォトリソグラフィの解像限界以下の間隔で分離されたプレート電極のレジスト膜パターンが形成できることによって、従来よりもサイズが小さくなった場合においても製造方法を複雑にすることなく、従来と同様のレジスト膜をマスクにエッチングするだけでプレート電極を形成する方法で製造することが可能になるのである。さらに、ストレージノード32を鍵型の形状をしていることによって、例えば600nmの高さのストレージノードを形成した場合、図9に示したような長方形のストレージノードの表面積と比べて90%以上の表面積を確保することが可能であり、プレート電極の間隔を広げたためにストレージノードの面積が小さくなって容量が低下する心配はない。なお、鍵型形状のストレージノードにしてbの部分の間隔をaの部分の間隔よりも広くするためには、Y方向に隣合う2つのストレージノードを互いに向かい合ったレイアウトにする必要があり、従って分割されたプレート電極は2列のストレージノードを覆うような構成しかとれないので、同一のセンスアンプ回路につながったビット線とダミービット線にスイッチングトランジスタと介してつながる2列のストレージノードが互いに向かい合い、その2列のストレージノードのみを覆うようにプレート電極が分割された構成を採っている。

【0035】また、メモリーセルアレイの端においては、(図19)に平面図を示すように、プレート電極に電位を与える上層の配線と接続する部分を有したプレ-

ト電極34の形状をしている。

【0036】(実施例5)図20～図23は本発明第5の実施例の製造工程であり、上記第4の実施例で示したDRAMのスタック型メモリーセル構造の形成工程を示す。ここで図20～図23は図18に示す平面図のY-Y'の切断面の断面図を示す。

【0037】まず、図20に示すP型Si基板1上に、図には示されていないがスイッチングトランジスタのソース・ドレインの片側の拡散層2に接続したビット線と、層間絶縁膜4が形成され、他方の拡散層2'に接続するようにリンドープ多結晶Si膜6からなるストレージノード6'と、ONO膜8と、プレート電極となるリンドープ多結晶Si膜10の形成されたところに、減圧CVD法によるSiH₄とN₂Oの反応あるいはSi(OC₂H₅)₄等の熱分解反応によってSiO₂膜11を300nm程度堆積し、引き続いて上記第4の実施例で説明したようにストレージノード6'の2列分ずつを覆うようにレジスト膜パターン13を形成する。

【0038】そして次に、図21に示すように、レジスト膜パターン13をマスクにしてSiO₂膜11をエッチングしてSiO₂膜パターン11'を形成し、レジスト膜パターン13を除去する。

【0039】次に、減圧CVD法によるSiH₄とN₂Oの反応あるいはSi(OC₂H₅)₄等の熱分解反応によってSiO₂膜19を100nm程度堆積する。このとき堆積する膜厚は、SiO₂膜パターン11'の間隔を埋めてしまわないためにレジスト膜パターン13の間隔の最小値(図18に示したaの部分)の半分以下に設定する必要がある。そして引き続いてSiO₂膜19をエッチングして、図22に示すように、SiO₂膜パターン11'の側壁にSiO₂膜パターン19'(サイドウォール)を形成する。これによってレジスト膜パターン13を拡大した、リソグラフィでは解像不可能な微細な間隔(ここでは例えば0.1 μ m程度の間隔)を有するエッチング用マスクパターンが形成されたことになる。

【0040】そして最後に、SiO₂膜パターン11'及び19'をマスクにしてリンドープ多結晶Si膜10をエッチングして、図23に示すように、ビット線方向に2列分のストレージノード(ビット線とダミービット線につながったストレージノード)を覆うようにプレート電極が分割された構造を有するメモリーセルが形成される。ここで、SiO₂膜パターン19'によって拡大されたエッチング用のマスクパターンを用いることによって、レジスト膜パターン13とリンドープ多結晶Si膜パターン6'の重なりがフォトリソグラフィの重ね合わせ精度に比べて不十分であったとしても、SiO₂膜19の膜厚分だけ重なりが増加するので、その分重ね合わせの余裕度が向上する。従って、SiO₂膜サイドウォール19'のないときには、ストレージノード6'

とプレート電極のレジストパターン13の間にマスク合わせズレが0.15 μ m程度生じてレジストパターン13の端がストレージノード6'上にかかった場合、リンドープ多結晶Si膜10をエッチングする際に、レジスト膜パターン13の重なりが不十分なところのリンドープ多結晶Si膜パターン6'やその側面のリンドープ多結晶Si膜10がエッチングされてしまう懸念があるが、SiO₂膜サイドウォール19'を形成することによってこれを防止することができるようになるのである。

【0041】

【発明の効果】以上のように本発明の半導体装置の製造方法によれば、プレート電極となるリンドープ多結晶Si膜のエッチングマスクとして、ストレージノードであるリンドープ多結晶Si膜パターンから自己整合的に形成された酸化膜があるので、フォトリソグラフィの解像能力に関係なく微細な間隔のストレージノードパターンに対してプレート電極パターンを形成することができ、設計ルールを小さくすることができる。

【0042】また本発明の半導体装置の製造方法によれば、ストレージノードの間隔を埋めるのにSOG膜を用いることによって、ストレージノード上の薄いSOG膜をエッチングするだけでよいので、エッチングの制御性がよくなる。

【0043】さらに本発明の半導体装置の製造方法によれば、プレート電極であるリンドープ多結晶Si膜のエッチングマスクとなるSiO₂膜パターンを、常圧CVD法によるSiO₂膜の堆積工程とエッチング工程だけで形成できるので、製造工程の短縮化が図られる。

【0044】また、本発明のメモリー半導体装置によれば、スタック型構造のストレージノードの平面形状が鍵型の形状を有することによって、隣りのストレージノードとの間隔を保持しつつストレージノードが隣のビット線上に折れ曲がるスペースを確保するとともに、ストレージノードの表面積が減少するのを防いでいる。そしてストレージノードが隣のビット線上に折れ曲がっていることによって、この部分のストレージノードの間隔を最小間隔より広くし、この部分でプレート電極を分割する間隔をフォトリソグラフィの解像限界以上の広さに確保するとともに、そのプレート電極間隔が広い部分と狭い部分とで構成されそれらが繰り返されるために、狭い間隔がフォトリソグラフィで解像困難なサイズであったとしても、広い間隔の部分からの光の回り込みによって狭い間隔を解像することができるようになる。すなわち、プレート電極どうしの間隔を従来形成可能な最小寸法以下にしたレジスト膜パターンを形成することができ、従来と同様の方法でより微細なサイズでかつ分割されたプレート電極を有するメモリー半導体装置を製造することが可能になる。

【0045】さらに本発明のメモリー半導体装置を実現

する半導体装置の製造方法によれば、SiO₂膜をプレート電極のエッチング用マスクに用い、サイドウォール膜を形成してマスクパターンを拡大することによって、プレート電極のレジスト膜パターンとストレージノードの重なりがフォトリソグラフィの重ね合わせ精度に対して不十分であったとしても、SiO₂膜サイドウォールの膜厚分だけ重なりが増加するので、プレート電極をエッチングする際に、レジスト膜パターンの重なりが不十分なところでもマスク合わせズレによってストレージノードを露出させてエッチングしてしまうことがない。従って、製造歩留まりも素子の信頼性も向上する。

【0046】このように、低電圧動作が可能となるプレート電極をビット線方向に分割した構造を提供することができ、しかも素子の高集積化に大きく寄与することができる。

【図面の簡単な説明】

【図1】本発明第1の実施例における半導体装置の製造工程断面図

【図2】本発明第1の実施例における半導体装置の製造工程断面図

【図3】本発明第1の実施例における半導体装置の製造工程断面図

【図4】本発明第1の実施例における半導体装置の製造工程断面図

【図5】本発明第1の実施例における半導体装置の製造工程断面図

【図6】本発明第1の実施例における半導体装置の製造工程断面図

【図7】本発明第1の実施例における半導体装置の製造工程断面図

【図8】本発明第1の実施例における半導体装置の製造工程断面図

【図9】本発明第1～第3の実施例における半導体装置の平面図

【図10】本発明第1～第3の実施例における半導体装置の平面図

【図11】本発明第2の実施例における半導体装置の製造工程断面図

【図12】本発明第2の実施例における半導体装置の製造工程断面図

【図13】本発明第2の実施例における半導体装置の製造工程断面図

【図14】本発明第2の実施例における半導体装置の製造工程断面図

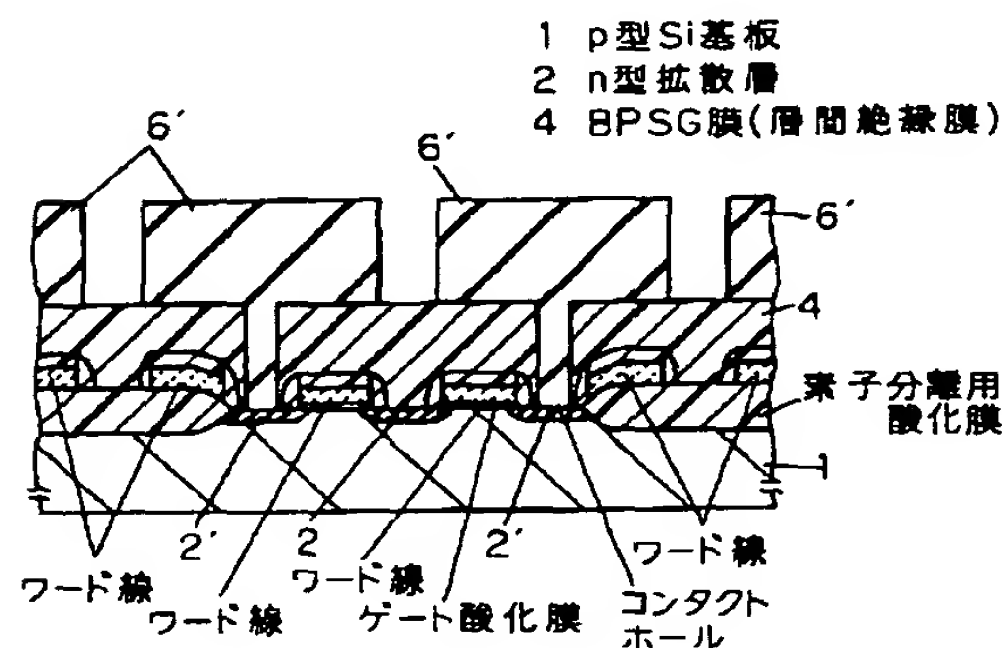
【図15】本発明第3の実施例における半導体装置の製造工程断面図

【図16】本発明第3の実施例における半導体装置の製造工程断面図

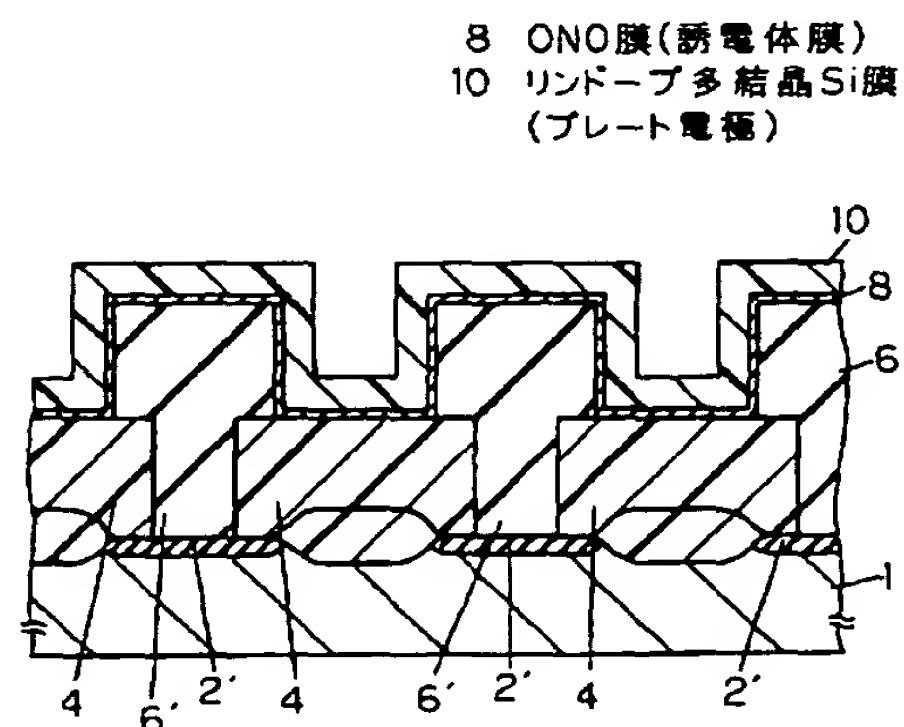
【図17】本発明第3の実施例における半導体装置の製造工程断面図

- 【図18】本発明における半導体装置の平面図
 【図19】本発明における半導体装置の平面図
 【図20】本発明第5の実施例における半導体装置の製造工程断面図
 【図21】本発明第5の実施例における半導体装置の製造工程断面図
 【図22】本発明第5の実施例における半導体装置の製造工程断面図
 【図23】本発明第5の実施例における半導体装置の製造工程断面図
 【図24】従来の半導体装置の平面図
 【図25】従来の半導体装置の製造工程断面図
 【符号の説明】
 1 P型シリコン基板
 2 N型拡散層
 4 BPSG膜(層間絶縁膜)
 6 リンドープ多結晶Si膜(第1の半導体膜パターン)
 8, 57 ONO(Si₃N₄膜/SiO₂)膜(誘電

【図1】

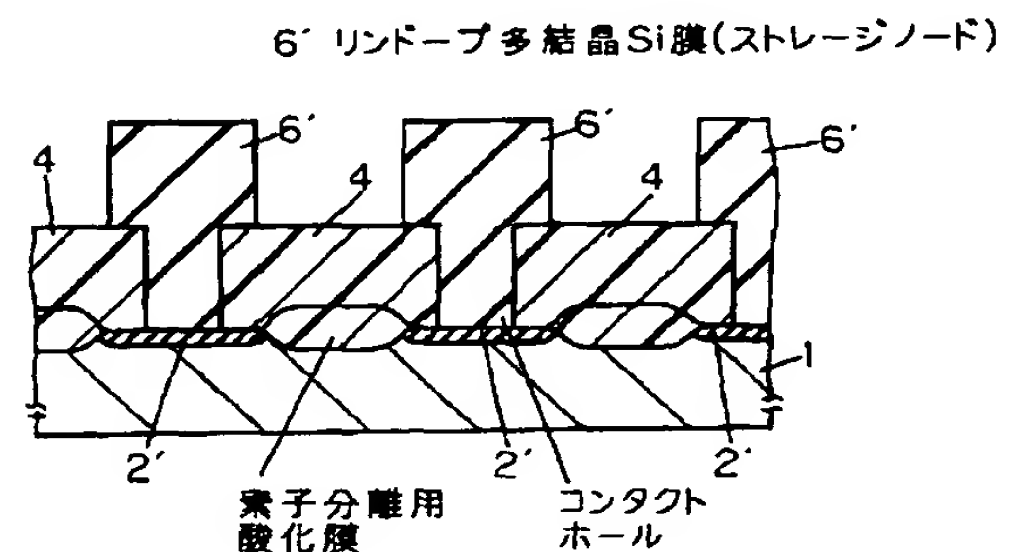


【図3】

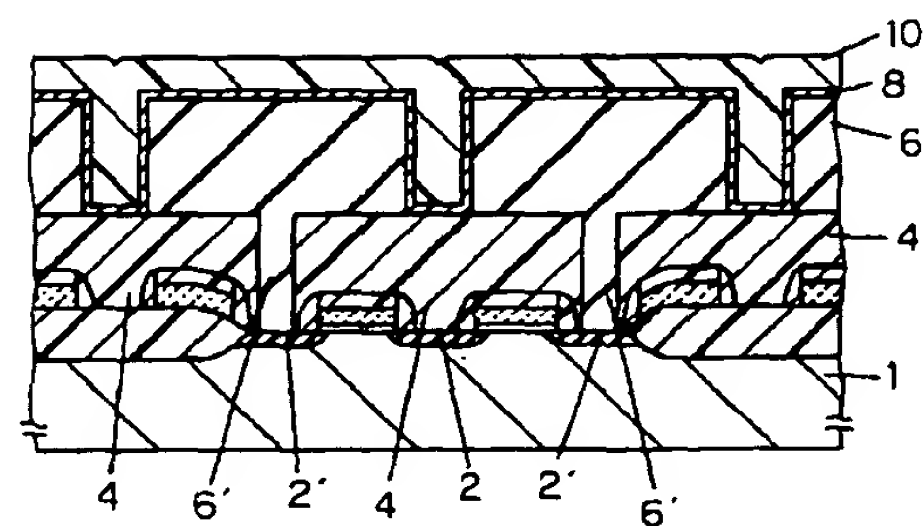


- 体膜)
 10 リンドープ多結晶Si膜(第2の半導体膜)
 11 SiO₂膜(第1の薄膜)
 12 Si₃N₄膜(酸化防止膜)
 13, 59 レジスト膜パターン
 14 レジスト膜
 15 SOG膜
 16 SiO₂膜(酸化膜)
 17 CVD-SiO₂膜(酸化膜)
 18 レジスト膜パターン
 19 SiO₂膜(第2の薄膜)
 22 トランジスタ活性領域
 24 ワード線(ゲート配線)
 26, 54 ビット線
 28 コンタクトホール(ビット線対拡散層)
 30 コンタクトホール(ストレージノード対拡散層)
 32, 56 ストレージノード(リンドープ多結晶Si膜)
 34, 58 プレート電極(リンドープ多結晶Si膜)

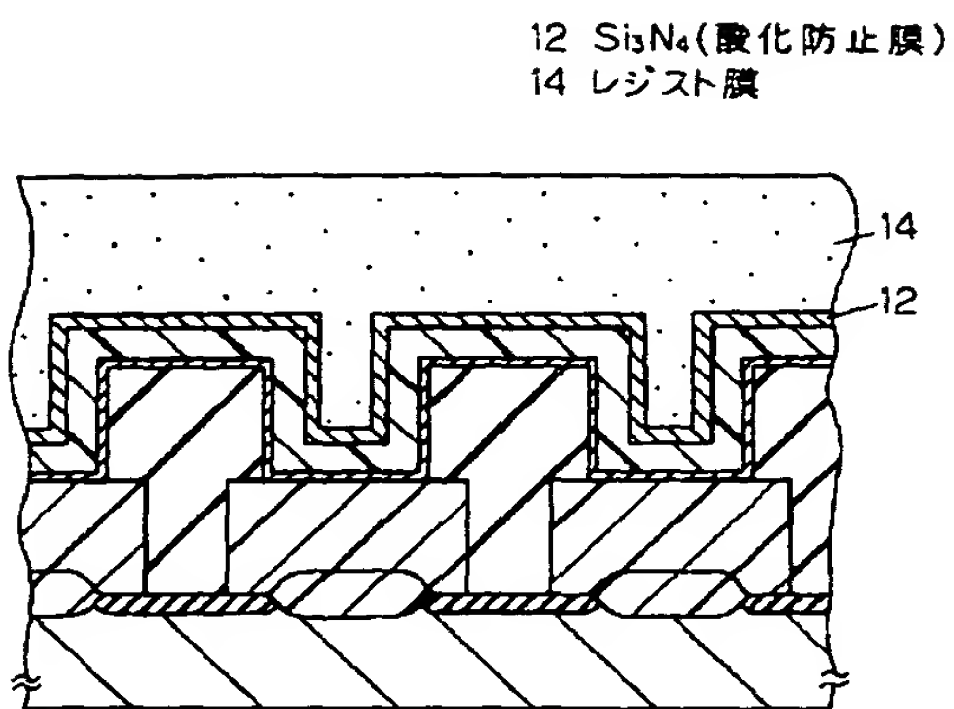
【図2】



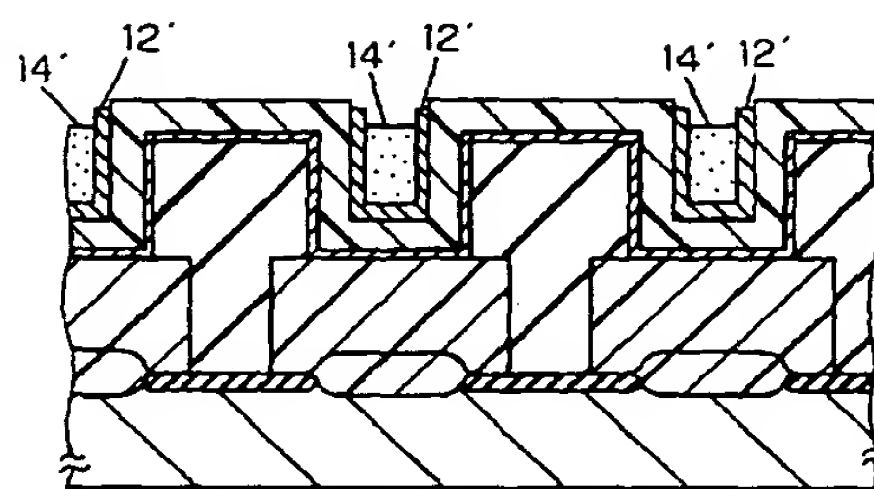
【図4】



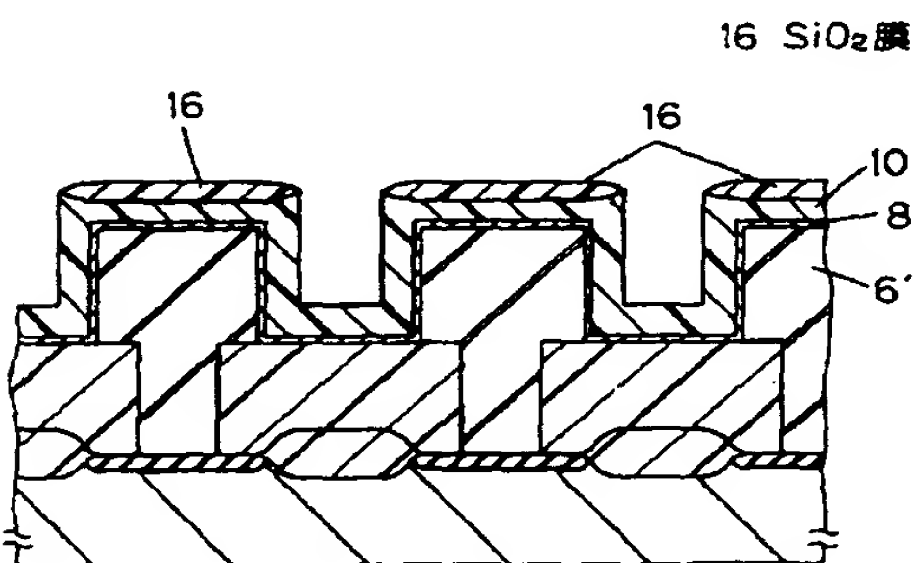
【図5】



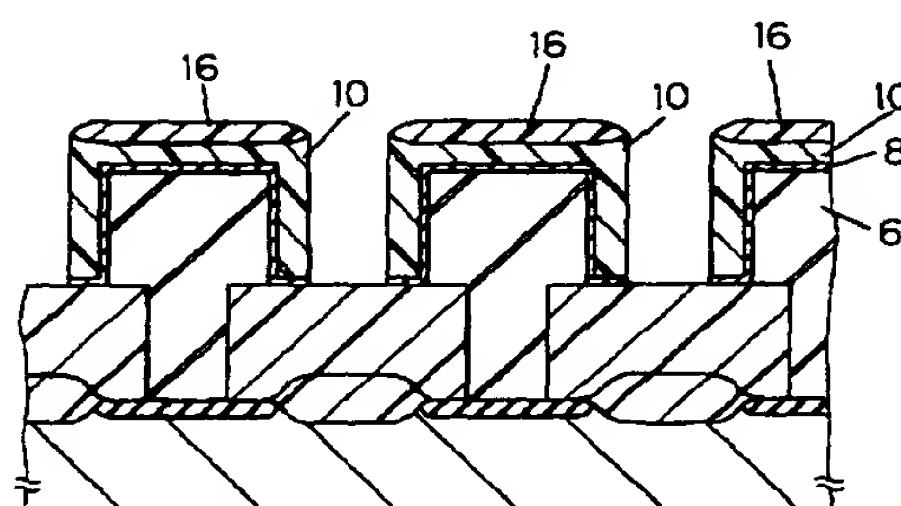
【図6】



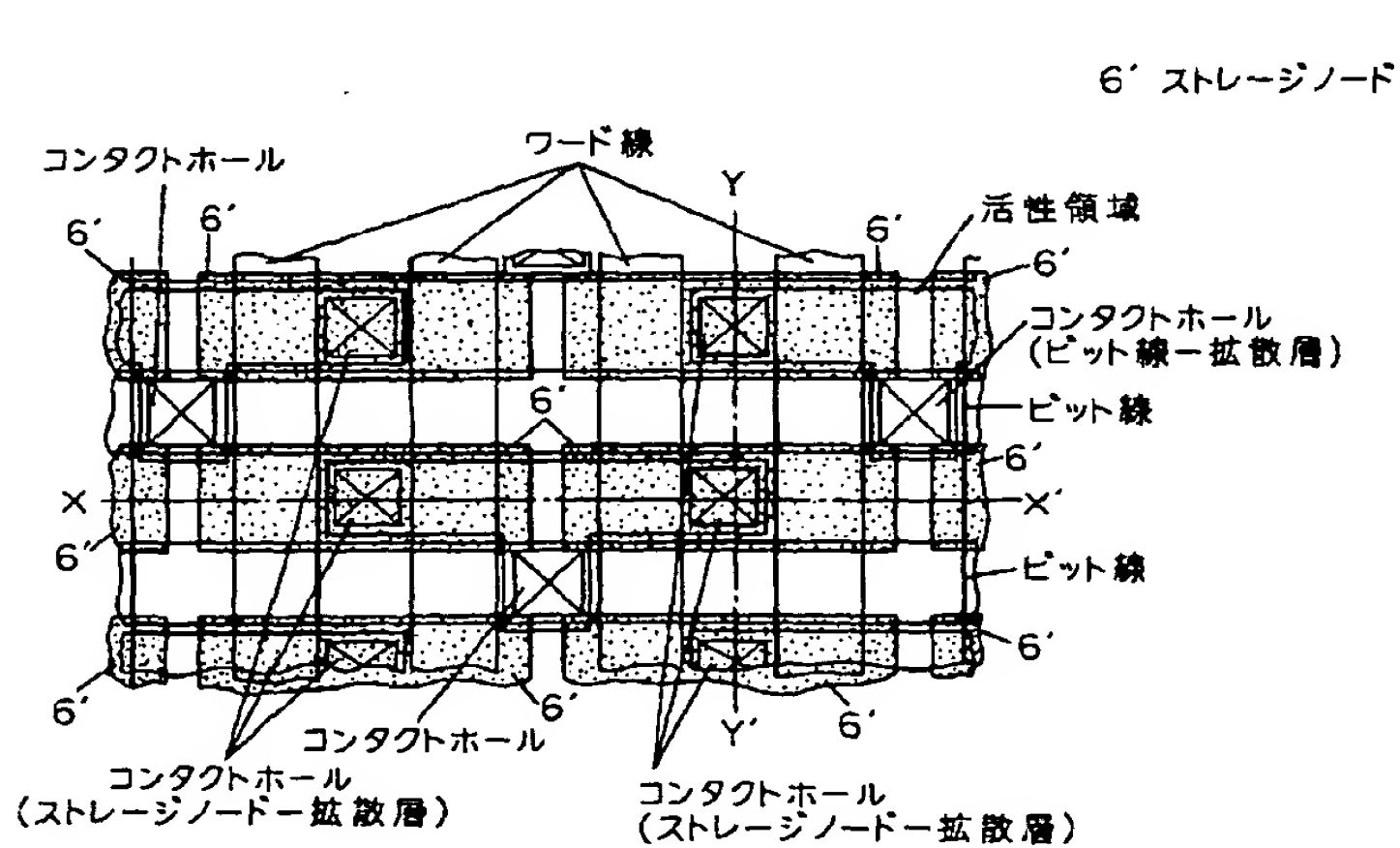
【図7】



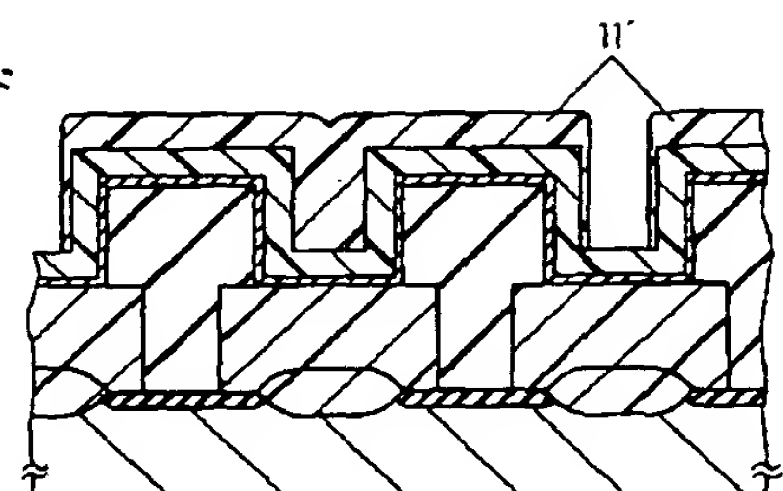
【図8】



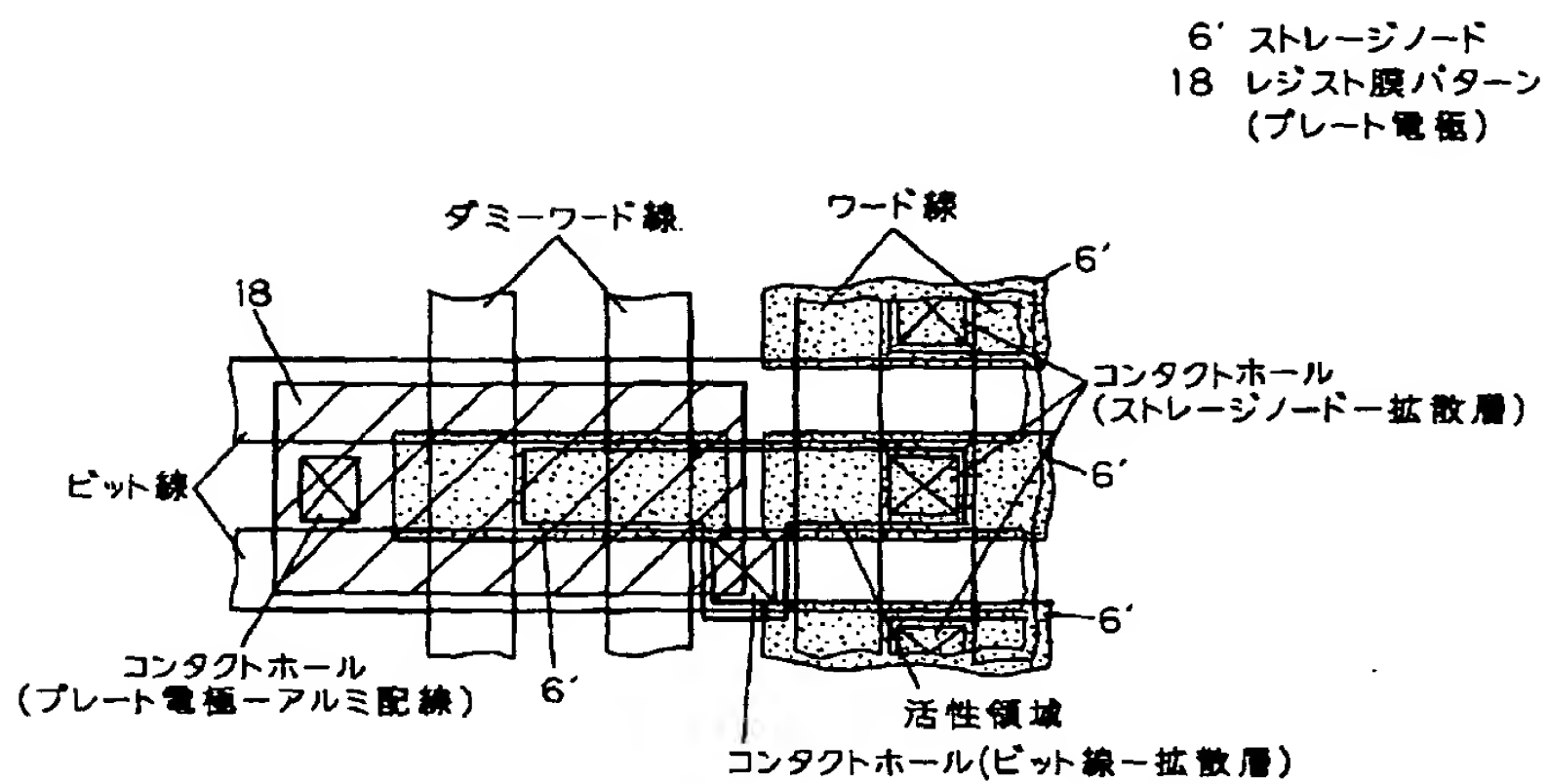
【図9】



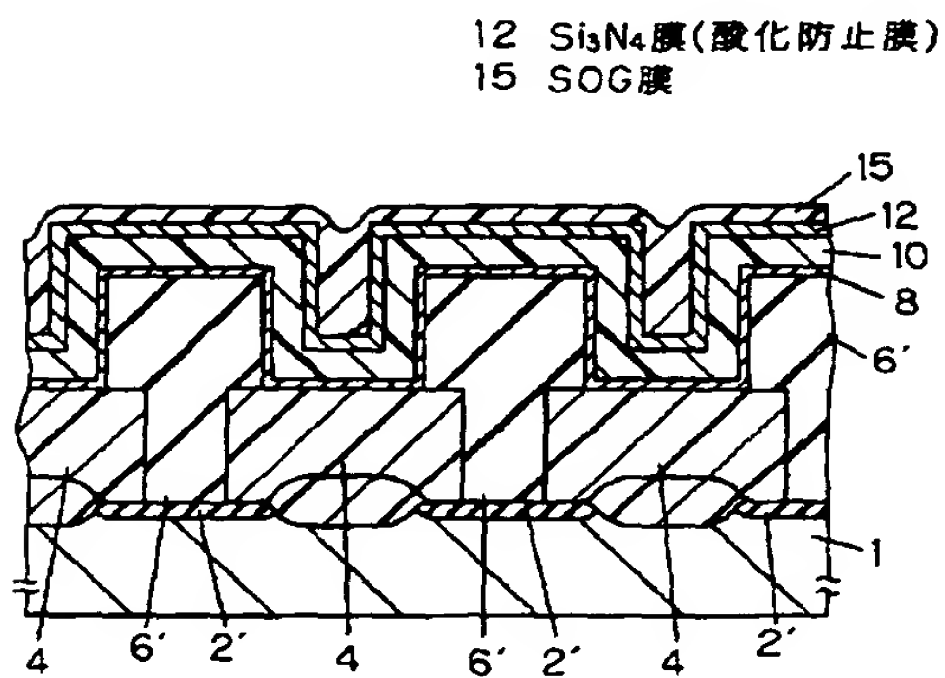
【図21】



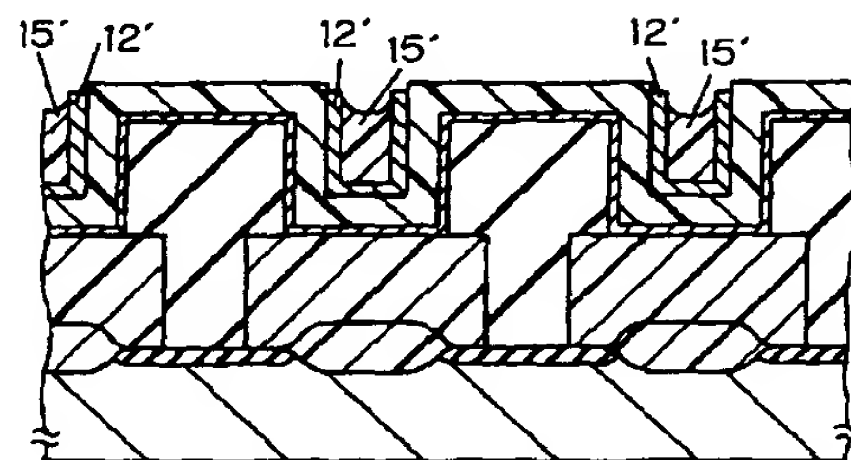
【図10】



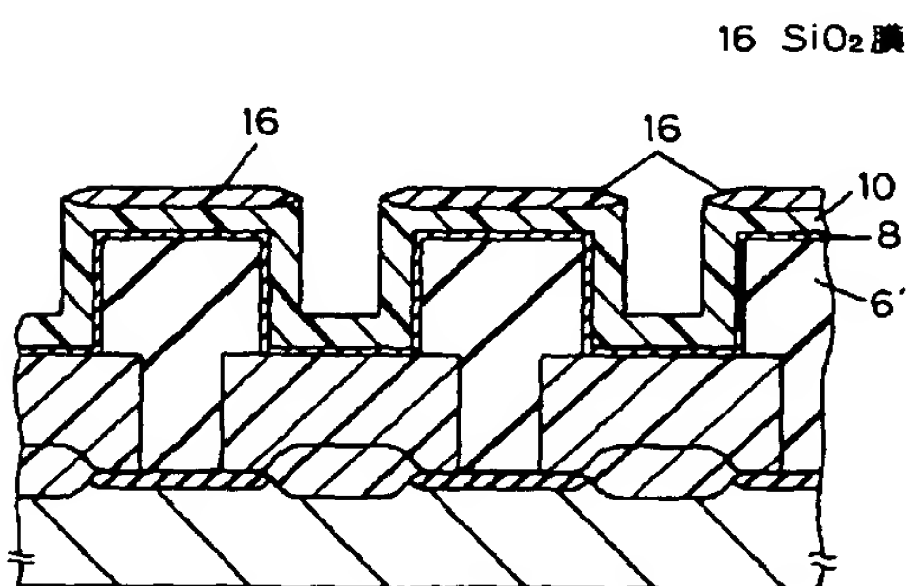
【図11】



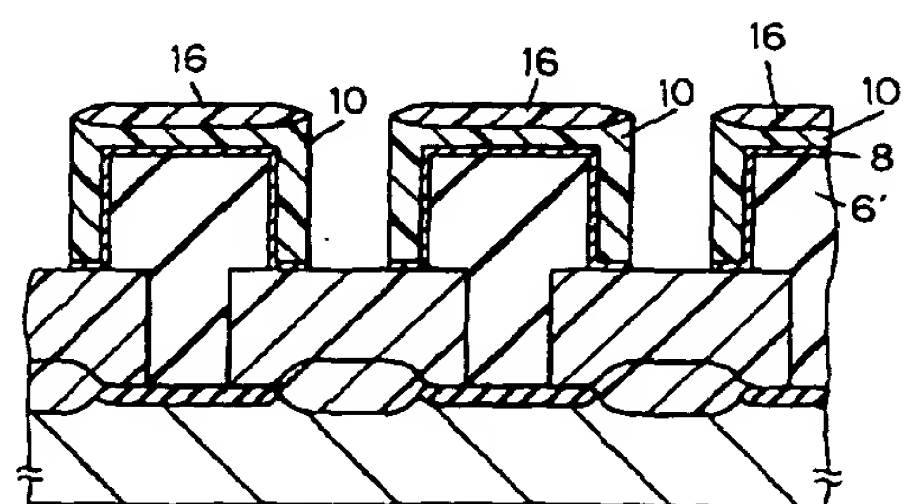
【図12】



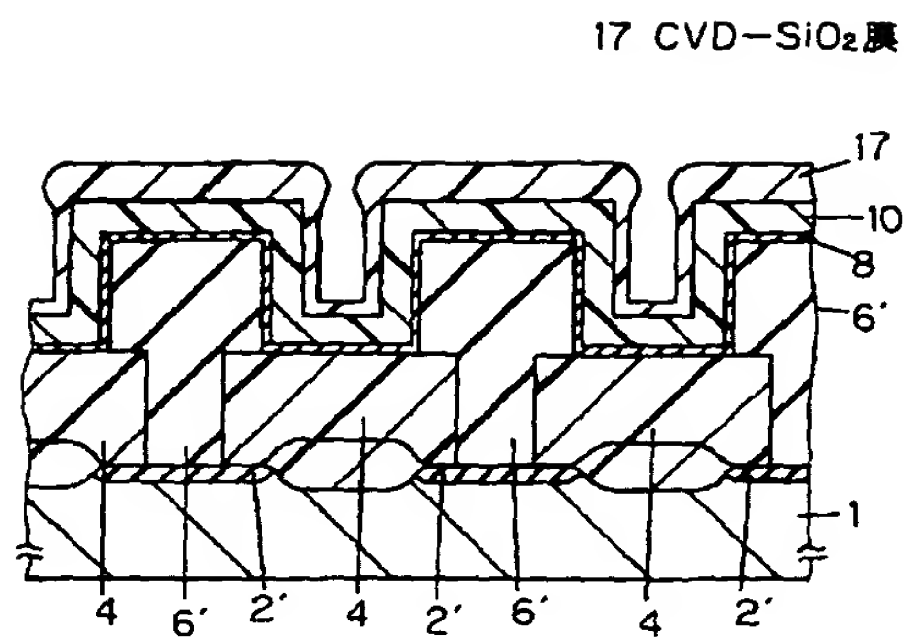
【図13】



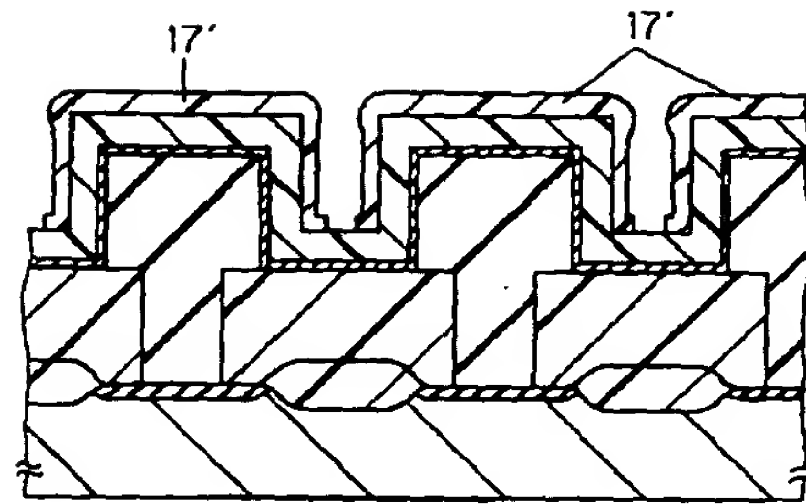
【図14】



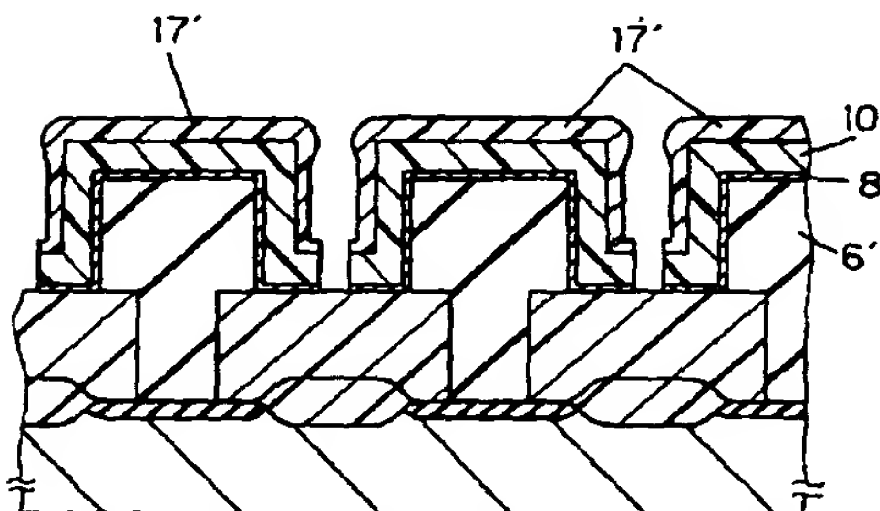
【図15】



【図16】

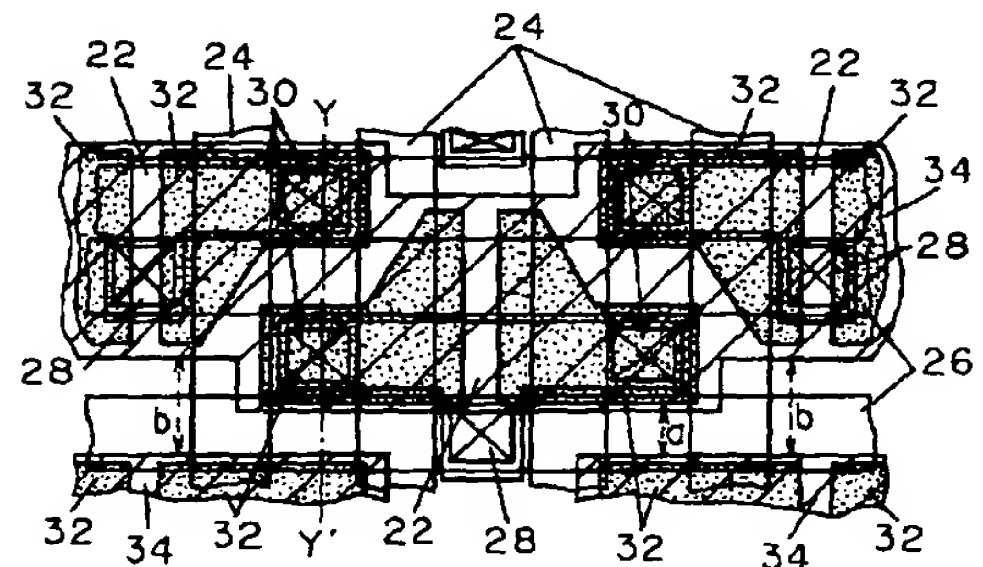


【図17】

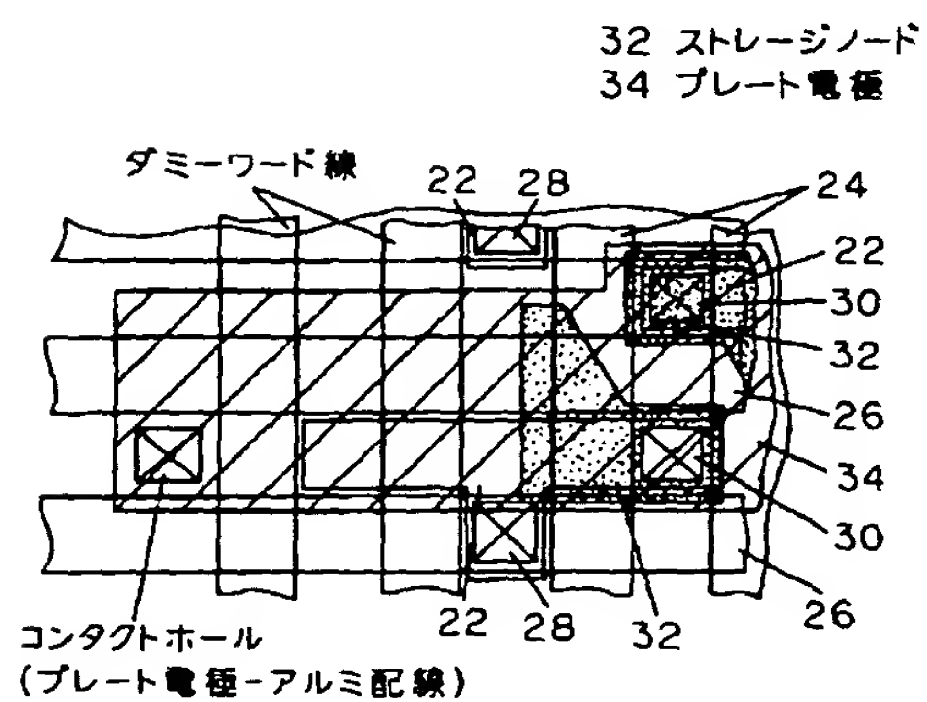


【図18】

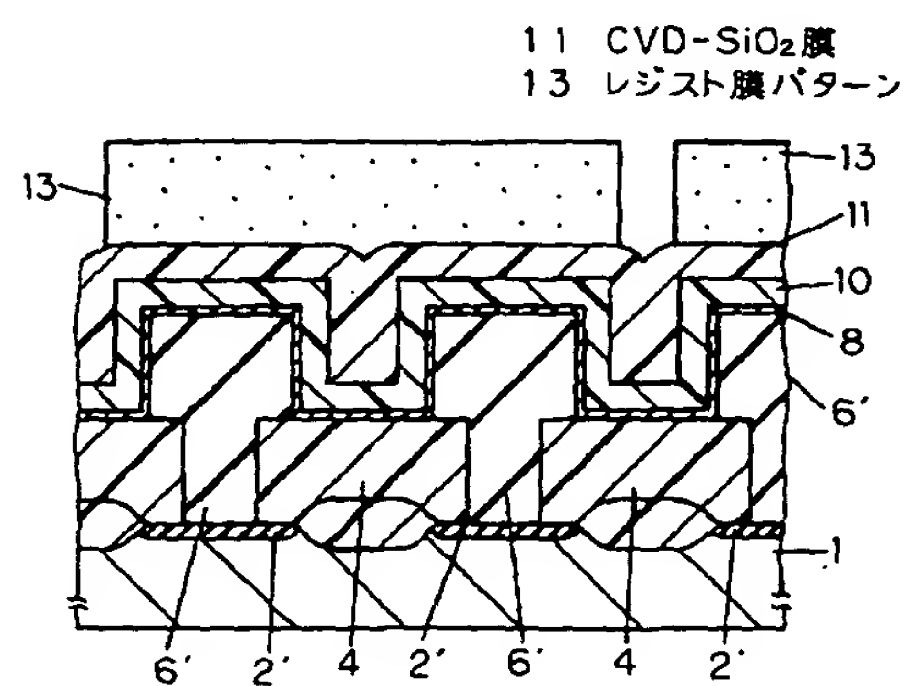
- 22 活性領域
- 24 ワード線
- 26 ビット線
- 28 コンタクトホール
(ビット線-拡散層)
- 30 コンタクトホール
(ストレージノード-拡散層)
- 32 ストレージノード
- 34 プレート電極



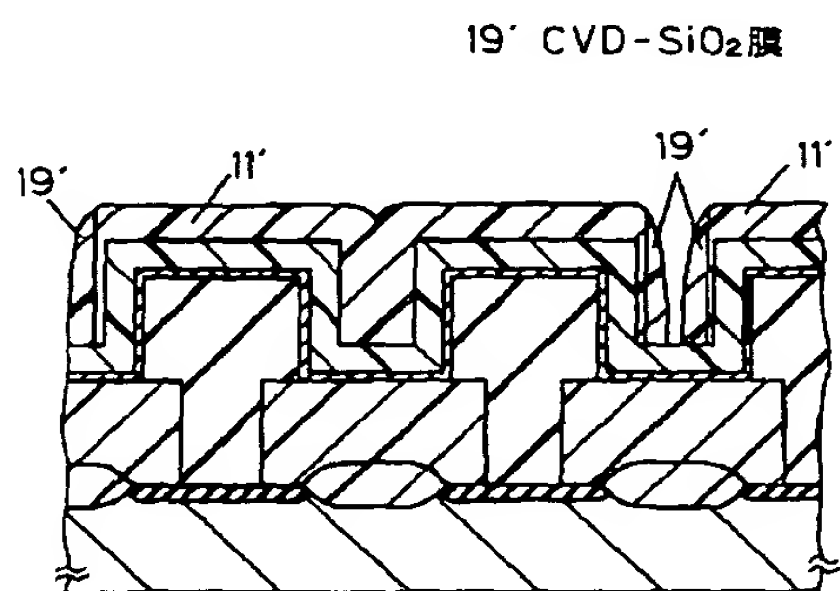
【図19】



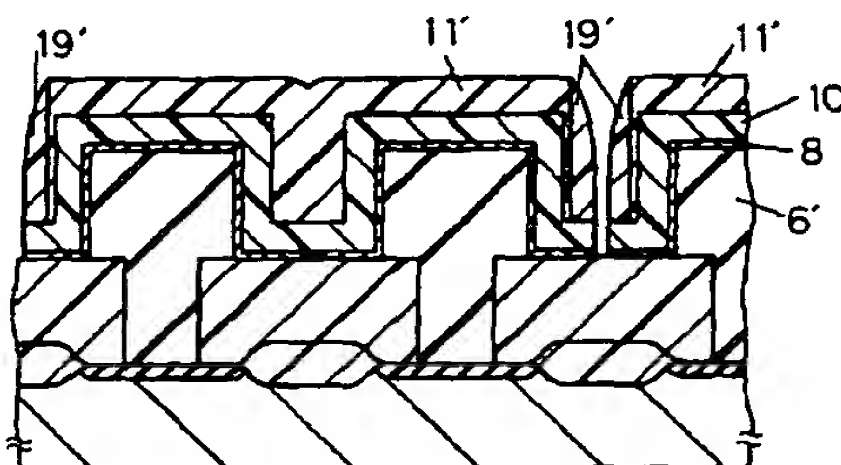
【図20】



【図22】



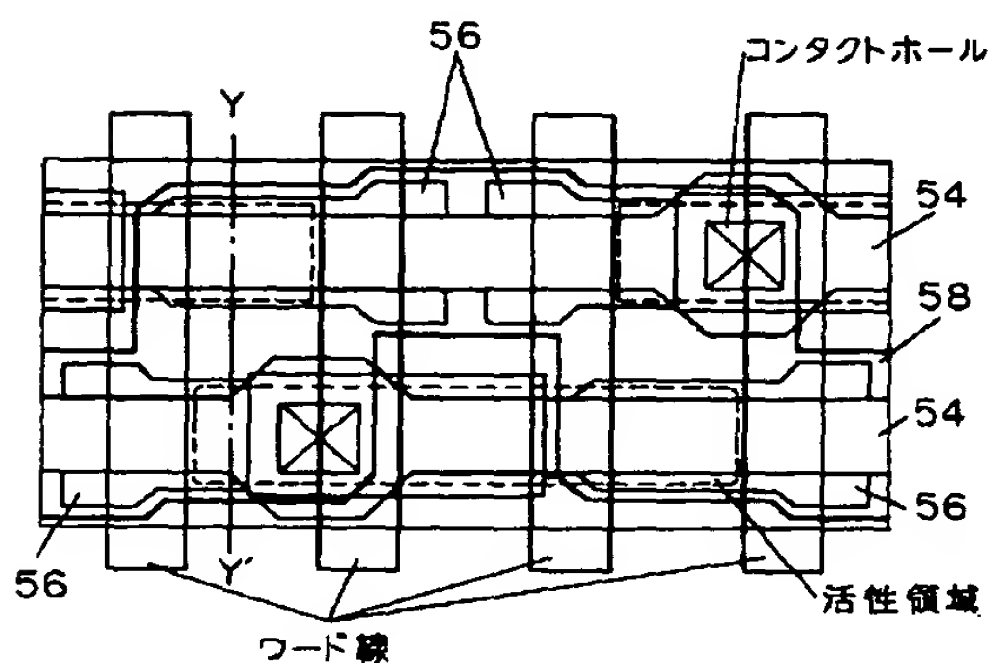
【図23】



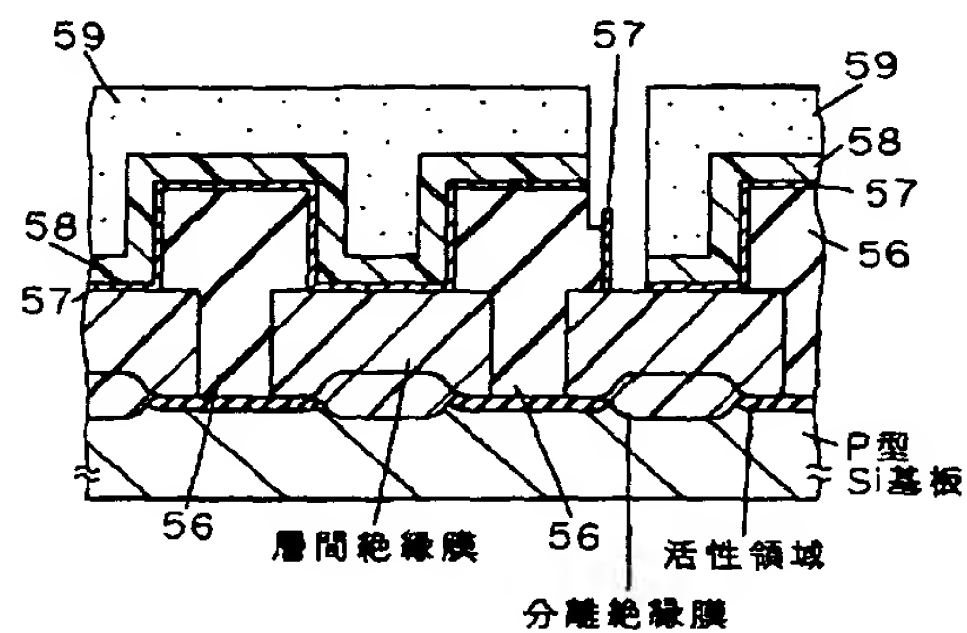
【図25】

【図24】

54 ピット線
56 ストレージノード
58 プレート電極



56 ストレージノード(リンドープ多結晶Si膜)
57 OND膜
58 プレート電極(リンドープ多結晶Si膜)
59 レジスト膜パターン



フロントページの続き

(51) Int. Cl. 6
H01L 21/316

識別記号 庁内整理番号

X
S

F I

技術表示箇所

27/04
21/822

H01L 27/04

C